



# 5  
9-24-96  
P.2  
OFGS File No.: P/1034-54

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

New York, New York

Gerardus de Vries, Johannes

Date: September 9, 1996

Serial No.: 08/422,264

Group Art Unit: 2306

Date Filed: April 14, 1995

For: DATA PROCESSING CIRCUIT, MULTIPLIER UNIT WITH  
PIPELINE, ALU AND SHIFREGISTER UNIT FOR USE  
IN A DATA PROCESSING CIRCUIT

SEP 23 1996

Hon. Commissioner of Patents  
and Trademarks  
Washington, D.C. 20231

In accordance with 35 U.S.C. Sec. 119, applicant(s)  
confirm(s) the request for priority under the International  
Convention and submits herewith the following documents in  
support of the claim:

Certified copy of Netherland application:

9400607 - filed April 15, 1994

Respectfully submitted,

*Robert C. Faber*

Robert C. Faber  
Registration No.: 24,322  
OSTROLENK, FABER, GERB & SOFFEN, LLP  
1180 Avenue of the Americas  
New York, New York 10036-8403  
Telephone: (212) 382-0700

KONINKRIJK DER



NEDERLANDEN

Bureau voor de Industriële Eigendom



RECEIVED  
SEP 23 1996  
BUREAU VOOR DE INDUSTRIËLE EIGENDOM

Hierbij wordt verklaard, dat in Nederland op 15 april 1994 onder nummer 9400607,

ten name van:

**ARCOBEL GRAPHICS B.V.**

te Den Bosch

een aanvraag om octrooi werd ingediend voor:

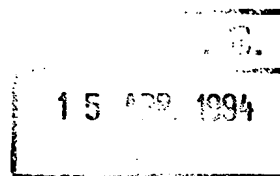
"Dataverwerkingscircuit, vermenigvuldigingseenheid met pijplijn, ALU en schuifregistreerseenheid ten gebruike bij een dataverwerkingscircuit",

en dat de hieraan gehechte stukken overeenstemmen met de oorspronkelijk ingediende stukken.

Rijswijk, 6 augustus 1996.

De Directeur van het Bureau voor de Industriële Eigendom,  
voor deze,

P.R.T.F. Tupan



## UITTREKSEL

~~1~~ Circuit voor het verwerken van data, bijvoorbeeld voor grafische toepassingen, omvattende:

- een vermenigvuldigingseenheid voor het vermenigvuldigen van datawoorden, waarvan een pijplijn deel uitmaakt  
5 en waarvan de woordlengte voor de uit te voeren vermenigvuldiging instelbaar is, al naar gelang de lengte van de te vermenigvuldigen datawoorden;
- een aritmetische logische eenheid (ALU) voor het uitvoeren van rekenbewerkingen op datawoorden, waarvan de  
10 woordlengte instelbaar is, al naar gelang de lengte van de te bewerken datawoorden;
- een registreereenheid voorzien van tenminste twee registers, voor het daarin gedurende enige tijd opslaan van datawoorden met een bepaalde lengte, waarop de bewerking  
15 en/of pijplijnvermenigvuldiging dient te worden uitgevoerd; en
- een busstructuur die een aantal afzonderlijke bussen omvat, en die het transport van datawoorden van en naar de vermenigvuldigingseenheid, de aritmetische logische  
20 eenheid en de registreereenheid bewerkstelligt.

**DATAVERWERKINGSCIRCUIT, VERMENIGVULDIGINGS-  
EENHEID MET PIJPLIJN, ALU  
EN SCHUIFREGISTEREENHEID TEN GEBRUIKE  
BIJ EEN DATAVERWERKINGSCIRCUIT**

Heden ten dage wordt op grote schaal gebruik gemaakt van personal computers die gebruik maken van processoren met een complexe instructieset (CISC), d.w.z. dat dergelijke processoren zijn voorzien van een centrale

5 verwerkingseenheid, waarvan de functie bij elke klokslag wordt ingesteld voor het uitvoeren van de gewenste bewerking op twee operand-woorden.

Alhoewel de kloksnelheid van dergelijke processoren, die thans vooral door Intel onder codenummers die met 80  
10 beginnen op de markt worden gebracht, aanzienlijk zijn verhoogd, vormt de organisatie-opzet van een dergelijke processor, waar bijvoorbeeld bij vermenigvuldiging en deling van twee operand-woorden veelvuldig gebruik gemaakt dient te worden van intern in de processor aanwezige registers, een  
15 groot obstakel voor het verder verhogen van de verwerkings-snelheid.

Vooraf voor zogenoemde "workstations" wordt ter verhoging van de snelheid veelal gebruik gemaakt van een pijplijnstructuur met een gereduceerde instructieset, het  
20 zogeheten RISC (Reduced Instruction Set Computer). Dit concept biedt aanzienlijke snelheidswinst bij zogenoemde vectorbewerkingen, waarbij een groot aantal datawoorden aan telkens dezelfde aritmetische bewerking dient te worden onderworpen, hetgeen in het bijzonder veelvuldig voorkomt  
25 bij grafische toepassingen. Doordat een beperkte instructieset op efficiënte wijze kan worden geïmplementeerd, benodigen een groot aantal instructies daarvan in feite slechts een enkele klokslag.

Bij dit RISC-concept wordt weliswaar een snelheids-  
30 winst geboekt bij veel voorkomende bewerkingen, zoals vermenigvuldigingen, maar wordt vanwege de snelheid afgezien van meer complexe instructies voor bepaalde bewerkingen, zodat

voor dergelijke bewerkingen bepaald geen snelheidswinst wordt bereikt. Voorts is de verwerkingseenheid veelal ingericht voor datawoorden met een vaste woordlengte, bijvoorbeeld 32 of 64 bits.

5            Voor beeldverwerkingstoepassingen dienen echter tevens bewerkingen op datawoorden van 8 of 16 bits of een aantal bij elkaar behorende bytes te worden uitgevoerd, voor in het RISC-concept slechts een beperkte snelheidswinst bereikt wordt.

10           De onderhavige uitvinding verschaft een circuit voor het verwerken van data, bijvoorbeeld voor grafische toepassingen, omvattende:

- een vermenigvuldigingseenheid voor het vermenigvuldigen van datawoorden, waarvan een pijplijn deel uitmaakt
- 15 en waarvan de woordlengte voor de uit te voeren vermenigvuldiging instelbaar is, al naar gelang de lengte van de te vermenigvuldigen datawoorden;

- een aritmetische logische eenheid voor het uitvoeren van rekenbewerkingen op datawoorden, waarvan de woord-
- 20 lengte instelbaar is, al naar gelang de lengte van de te bewerken datawoorden;

- een registereenheid voorzien van tenminste twee registers, voor het daarin gedurende enige tijd opslaan van datawoorden met een bepaalde lengte, waarop de rekenbewer-
- 25 king en/of pijplijnvermenigvuldiging dient te worden uitgevoerd; en

- een busstructuur die een aantal afzonderlijke bussen omvat, en die het transport van datawoorden van en naar de vermenigvuldigingseenheid, de aritmetische logische
- 30 eenheid en de registereenheid bewerkstelligt.

Het dataverwerkingscircuit volgens de onderhavige uitvinding behaalt, in het bijzonder voor grafische toepassingen, een meer dan twee maal zo grote snelheid dan bestaande concepten. In tegenstelling tot bij RISC en CISC is

35 de verbinding tussen de hier omschreven circuits (vermenigvuldiger, ALU, etc.) geen vaste. De programmeur kan de volgorde van de datastroom door de verschillende eenheden vrij programmeren (vrije pijplijn).

Voorts verschaft de onderhavige uitvinding een vermenigvuldigingseenheid met pijplijn ten gebruike bij een dataverwerkingscircuit.

De onderhavige uitvinding omvat tevens een aritmetische logische eenheid ten gebruike bij een dataverwerkingscircuit.

Tenslotte verschaft de onderhavige uitvinding een schuifregistereenheid ten gebruike bij een dergelijk dataverwerkingscircuit.

Verdere voordelen, kenmerken en details van de onderhavige uitvinding zullen verduidelijkt worden aan de hand van de navolgende beschrijving van een voorkeursuitvoeringsvorm daarvan met verwijzing naar de bijgevoegde tekening, waarin tonen:

fig. 1 een functioneel schema van een grafische toepassing van een dataverwerkingscircuit volgens de onderhavige uitvinding;

fig. 2 een overzichtsschema van het dataverwerkingscircuit uit fig. 1;

fig. 3 een functioneel schema van de interne opbouw van het dataverwerkingscircuit uit fig. 1;

fig. 4 een eerste functioneel schema van de aritmetische logische eenheid uit het schema van fig. 3;

fig. 5 een tweede functioneel schema van de aritmetische logische eenheid uit het schema van fig. 3;

fig. 6 een functioneel schema van de vermenigvuldigingseenheid met pijplijn uit het schema van fig. 3;

fig. 7 een functioneel schema van een Wallace-boom bij het schema uit fig. 6;

fig. 8 een functioneel schema van de schuifregistereenheid uit het functionele schema van fig. 3;

Een dataverwerkingscircuit 1 (fig. 1) volgens de onderhavige uitvinding, ook wel P<sup>3</sup>HISC of IMAGINE genoemd, is via een bus 2 met een datageheugen 3, bijvoorbeeld uitgevoerd in SRAM (Static Random Acces Memory) gekoppeld. Voorts is het dataverwerkingscircuit 1 via een bus 4 met een hoofd- of videogeheugen 5 voor opslag van beelddata gekop-

peld, dat bijvoorbeeld uit DRAM- (Dynamic Random Acces Memory)-cellen is opgebouwd of een (duurder) VRAM betreft. Dit hoofdgeheugen 5 stuurt via bus 6 een RAMDAC (Random Acces Memory for a Digital Analog Converter) 7 aan, die op 5 zijn beurt een (niet getoonde) monitor voorziet van de kleursignalen R (rood), G (groen) respectievelijk B (blauw).

In praktische toepassingen zal een dataverwerkingscircuit 1 via een buffer 9 en toegangslogica 10 met een niet getoonde gastheerprocessor zijn gekoppeld. Voorts is de 10 configuratie van fig. 1 bij voorkeur voorzien van een instructie RAM 11 dat via een bus 12 met het dataverwerkingscircuit is gekoppeld alsmede via een buffer 12 waarin registers en aanstuurorganen zijn opgenomen. Een klokorgaan 13 voorziet de diverse onderdelen van de 15 configuratie van kloksignalen terwijl voor de videotiming een orgaan 14 in de configuratie is opgenomen. Bij voorkeur is op de bus 6 tevens een video-ingangscircuit 15 aangesloten voor toevoer van videosignalen naar het beeldgeheugen 5.

20 De opbouw van het dataverwerkingscircuit is schematisch in fig. 2 aangeduid en omvat een parallelle vermenigvuldiger 20 die een RAM 21, een accumulator 22, en een Wallace-boom 23 omvat. Tevens omvat het dataverwerkingscircuit een data in- en uitvoercircuit 24, 25 een parallel schuifregister 25, een busstructuur 26, een circuit 28 voor unaire bewerkingen, een circuit 29 voor het aansturen van het beeldgeheugen, een circuit 30 voor beeld in- en uitvoer, een aritmetische logische eenheid 31, een circuit 32 voor aansturing van de registerbank en een 30 vectorindexgenerator, een registerbank 33, een maskergenerator 34 die een transparant masker 35, een dekkend masker 36, een venstermasker 37, een lijnmasker 38, een polygoonmasker 39, een maskerassemblage-orgaan 40 respectievelijk een bereikcontrole 41 omvat, een orgaan met 35 fasevergrendelde lus 42, en een circuit 43 voor instructieverwerking dat een programmabesturing 44 en opstart-ROM 45 en een interruptafhandelingsorgaan 46 omvat.

De busstructuur 26 (fig. 3) omvat een besturings

SC-bus 51, een A-bus 52, een B-bus 53, een Q-bus 54, een F-bus 55, een M-bus 56, een U-bus 57, een D-bus 58 en een V-bus 59, die elk bijvoorbeeld 32-bit breed zijn.

De registerbank 33 is via uitgangsregisters 60 en 61 op respectievelijk de A- en de B-bus aangesloten. De registerbank 33 bevat 96 ingangen die als enkelvoudig 32-bit, dubbel 16-bit of viervoudig 8-bit woord kunnen worden gezien. Drie poorten maken het mogelijk om gelijktijdig twee leesacties en een schrijfactie uit te voeren. 62 van de 96 registers zijn rechtstreeks toegankelijk. De overige 32 ingangen worden geadresseerd via de vectorindexgenerator 32 die per cyclus maximaal 12 lokaties kan genereren: 4-byte secties voor elk van de drie poorten, daar elk woordsegment binnen de registers afzonderlijk is te selecteren.

Het parallelle schuifregister is zodanig uitgevoerd dat het op grond van de via de A-bus 52 verkregen informatie in één klokcyclus 32-bit aan gegevens 1 tot 32 posities naar links of naar rechts kan verplaatsen. De informatie kan zijn gegroepeerd in één, twee of vier secties van respectievelijk 32-, 16-, en 18-bit. Het verschuiven kan logisch (zonder teken), numeriek (met teken) en roterend plaatsvinden. De operanden zijn afkomstig van de B-bus 54 of de F-bus 55. Het parallelle schuifregister 25 is via een register 62 aangesloten op de Q-bus 54. Fig. 8 toont schematisch een voorbeeld van het over 11-bit in positieve richting roteren in twee stappen van een 32-bit woord bestaande uit twee 16-bit, door middel van vier 8-bit rotaties en acht 4-bit kruisingen.

De aritmetisch logische eenheid 31 (ALU) is aangesloten op de A-bus 52, de Q-bus 54, de M-bus 56, de D-bus 58 respectievelijk op de U-bus 57 en respectievelijk op de B-bus 53, de F-bus 55, de U-bus 57 en de V-bus 59. Alle gebruikelijke logische bewerkingen van een conventionele ALU kunnen door de ALU worden uitgevoerd, alsmede numerieke functies zoals optellen, aftrekken, ophogen en verlagen. Voorts is de ALU 31 voorzien van een zogenoemde parametrische logische functie. Hiermee kan aan de hand van de inhoud van een 8-bit register een willekeurige combinatie



van 256 mogelijke logische bewerkingen worden uitgevoerd op 3 operanden. De standaarden voor X-window en MS-windows specificeren dat logische en grafische operaties in elke combinatie mogelijk zijn. De parametrische functie kan  
 5 tevens worden gebruikt voor het realiseren van schuiven, maskeren en een samenvoeg- of vergelijkingsbewerking in een enkele klokcyclus.

De ALU 31 kan worden ingesteld als een enkelvoudige, tweevoudige of viervoudige parallelle eenheid voor 32-, 16-  
 10 en 8-bit operanden. De data afkomstig van de A-, Q-, M- of D-bus bepalen de selectie van de grootte van de te verwerken operanden. Een toestandsselector 63 is op de ALU 31 aangesloten en geeft een statussignaal op uitgang 64 af. De ALU 31 is voorts via een uitgangsregister 64 op de F-bus 55  
 15 aangesloten. Fig. 4 toont een functioneel schema van de ALU voor een parallelle viervoudige bewerking op operanden van 24-bit, terwijl fig. 5 een functioneel schema toont van een tweevoudige operatie met 48-bit operanden. In fig. 5 zijn twee selectors en twee accumulators van elk 8-bit  
 20 samengevoegd.

De vermenigvuldiger 23 is uitgevoerd als pijplijn met vijf klokcycli. De vermenigvuldiger is in staat pijplijnbewerkingen uit te voeren op 32-bit, 16-bit en 8-bit woorden. Alle mogelijke vermenigvuldigingsbewerkingen met  
 25 getallen met en zonder teken of een combinatie daarvan, alsmede het uitvoeren van 16-bit complexe getallen met elkaar en 8-bit matrices met vectoren is mogelijk, onder meer door de aanwezigheid van een Wallace-boom (fig.7). De vermenigvuldiger werkt intern met 48-bit resultaten of  
 30 dubbele 24-bit danwel viervoudige 12-bit waarden, waarvan er twee gelijktijdig worden getransporteerd via 96-bit datakanalen. Fig. 6 toont een functioneel schema van de vermenigvuldiger met vijf klokniveaus. De vermenigvuldiger is via een uitgangsregister 66 aangesloten op de M-bus 56.

35 Het circuit voor unaire bewerkingen 28 dient voor het converteren van data. Het betreft bijvoorbeeld de omzetting van binair naar unair (lineair), het aangeven van de positie van de meest significante 1, het bepalen van de

absolute waarde of een teken en het omdraaien van de bitvolgorde in een woord. Een woord kan 32-, 16-, of 8-bit breed zijn.

De maskergenerator 24 is opgebouwd uit een aantal onafhankelijke subeenheden. Het venstermasker 37 legt vast welke de gebieden zijn waarbinnen de andere bewerkingen moeten vallen. Het orgaan 41 voor bereikcontrole werkt aan de hand van vooraf gedefinieerde patronen. Één van de belangrijkste toepassingen daarvoor het is genereren van  
10 lettertekens. Dit orgaan dient tevens voor de controle op driedimensionale pixelgegevens zoals diepte en kleur.

Het lijnmasker 38 genereert horizontaal een gedefinieerd patroon tussen een opgegeven begin en eind en kan tot vier lijnen gelijktijdig genereren en ondersteund zo  
15 bijvoorbeeld het creëren van polygonen. Een vorm langs een horizontale lijn van het beeld kan met behulp van het lijnmasker worden aangemaakt, indien langs deze lijn geen onderbrekingen optreden.

Het polygoonmasker 39 dient voor het genereren van  
20 elementen waarvoor de lijngenerator niet geschikt is, bijvoorbeeld Chinese tekens. Het polygoonmasker bepaalt het aantal contourovergangen op de horizontale lijnen die door het betreffende pixel gaan.

Het maskerassemblage-orgaan 40 legt de diverse  
25 maskers over elkaar heen. Het resultaat gaat naar het transparante en/of dekkende masker 35 respectievelijk 36 waar het feitelijk weer te geven beeld ontstaat. Het transparante en dekkende masker kunnen beide maximaal 128 beeldpunten bevatten in een matrix van 4 x 32.

30 Het circuit voor data in- en uitvoer is aangesloten op een 32-bit datakanaal en een 23-bit adresbus. Het te adresseren gebied omvat 32M-byte.

Het binnenhalen van instructies vindt plaats onder beheer van de programmabesturingseenheid. Met een 22-bit  
35 adres wordt steeds een volgend instructiewoord aangewezen dat vervolgens via een afzonderlijke 64-bit bus wordt binnengehaald. Het programmeergeheugen kan 4M x 64-bit groot zijn.

De aansturing voor het beeldgeheugen is ingericht om een adres te genereren aan de hand van een X/Y positie zodat elk willekeurig beeldsegment kan worden aangesproken aan de hand van zijn lokatie in de afbeelding en in het

5 beeldgeheugen. Het beeldgeheugen is ook geschikt voor opslag van andere databanken, zoals lijsten en databanken met grafische elementen.

Indien een klokfrequentie van 66 MHz voor een dataverwerkingscircuit volgens de onderhavige uitvinding  
10 wordt gebruikt, kan worden gewerkt met een toegangstijd voor het geheugen van 70 ns.

Het dataverwerkingscircuit kan worden geprogrammeerd in een hogere programmeertaal, zoals C, zodat voor programmeurs het even gemakkelijk programmeerbaar is als  
15 RISC en CISC verwerkingseenheden. Het dataverwerkingscircuit kan worden geprogrammeerd met zowel instructies volgens het RISC concept als de CISC instructies van een personal computer. Voor het bereiken van een grote snelheidswinst voor grafische toepassingen, kan de programmeur echter op  
20 een lager niveau via een instructieveld van 64-bit alle functies van het dataverwerkingscircuit programmeren. De ALU kan worden ingesteld op parallele operaties evenals de vermenigvuldigingseenheid, waardoor een snelheidswinst voor grafische toepassing van bijvoorbeeld een factor 4-20 kan  
25 worden verkregen ten opzichte van bestaande RISC processoren. Voor een bepaalde toepassing zal een programmeur éénmalig een reeks instructies en besturingsregisters instellen en vervolgens met één opdracht de processor starten, waarna deze zelfstandig de  
30 pixelstromen verwerkt.

Als voorbeeld van de snelheidswinst die geboekt kan worden, betreft een uit vijf instructies bestaand algoritme voor het roteren en interpoleren van een kleurenbeeld die dan in totaal 38 instructies kan herbergen, te weten:

- 35 - 2x16-bit register lezen
- 2x16-bit registeradres ophogen
- 1x10-bit constante lezen
- 2x16-bit woord schuiven

- 2x16-bit constante lezen
- 2x16-bit waarde optellen
- 4x8-bit 2D-geheugendata uitlezen
- 4x8-bit beeldgeheugendata uitlezen
- 5 - 1x32-bit beeldgeheugenadres ophogen
- 4x8-bit waarde vermenigvuldigen
- 4x12-bit accumulatorregister lezen
- 4x12-bit waarde accumuleren
- 4x12-bit accumulatorregister schrijven
- 10 - 2x5-bit registeradres accumulator ophogen

Het dataverwerkingscircuit volgens de onderhavige uitvinding kan worden ingebouwd in specifieke apparatuur, maar kan ook worden uitgevoerd als een uitbreidingskaart voor een personal computer. Vanwege de flexibele benutting van de hardware kan zelfs bij een lagere kloksnelheid dan 15 bijv. 200 MHz die thans tot de hoogste behoort, een 5 tot 20 maal snellere beeldverwerking worden verkregen. Dit maakt het dataverwerkingscircuit volgens de onderhavige uitvinding geschikt voor real-time videobewerkingen en zogenoemd 20 virtual reality.

Daar het vanwege de complexiteit van de onderhavige uitvinding vrijwel ondoenlijk is, alle mogelijkheden daarvan te beschrijven, wordt als bijlage een produktspecificatie, voor zo ver gereed, bijgevoegd. Zoals gebruikelijk in dit 25 vakgebied is deze specificatie in de Engelse taal geschreven. Na completering daarvan zal deze, waarschijnlijk binnen een jaar, tot het publieke domein gaan behoren.

## CONCLUSIES

1. Circuit voor het verwerken van data, bijvoorbeeld voor grafische toepassingen, omvattende:

- een vermenigvuldigingseenheid voor het vermenigvuldigen van datawoorden, waarvan een pijplijn deel uitmaakt en waarvan de woordlengte voor de uit te voeren vermenigvuldiging instelbaar is, al naar gelang de lengte van de te vermenigvuldigen datawoorden;

- een aritmetische logische eenheid (ALU) voor het uitvoeren van rekenbewerkingen op datawoorden, waarvan de woordlengte instelbaar is, al naar gelang de lengte van de te bewerken datawoorden;

- een registereenheid voorzien van tenminste twee registers, voor het daarin gedurende enige tijd opslaan van datawoorden met een bepaalde lengte, waarop de bewerking en/of pijplijnvermenigvuldiging dient te worden uitgevoerd; en

- een busstructuur die een aantal afzonderlijke bussen omvat, en die het transport van datawoorden van en naar de vermenigvuldigingseenheid, de aritmetische logische eenheid en de registereenheid bewerkstelligt.

2. Circuit volgens conclusie 1, waarbij de pijplijn een vijfstaps pijplijn is.

3. Circuit volgens conclusie 1, waarbij de data 32-bit, 16-bit of 8-bit woorden omvatten.

4. Vermenigvuldigingseenheid met pijplijn, waarvan de woordlengte voor de uit te voeren vermenigvuldiging instelbaar is, al naar gelang de lengte van de te vermenigvuldigen datawoorden, bijvoorbeeld 32-, 16- of 8-bit woorden.

5. Aritmetische logische eenheid waarvan de woordlengte instelbaar is al naar gelang de lengte van de te bewerken datawoorden.

6. Schuifregistereenheid voor het naar links of naar rechts, roterend of niet-roterend verschuiven van een 32-bit datawoord over een afstand van 1 tot 32-bit.

7. Circuit volgens conclusie 1, 2 of 3 dat geïntegreerd is uitgevoerd.

8. Conclusie volgens conclusie 1, 2, 3 of 7, waarbij de busstructuur voorzien is van een aantal registers of 5 andere aansluitingen, en waarbij vanuit een instructieregister deze aansluitingen programmeerbaar zijn.

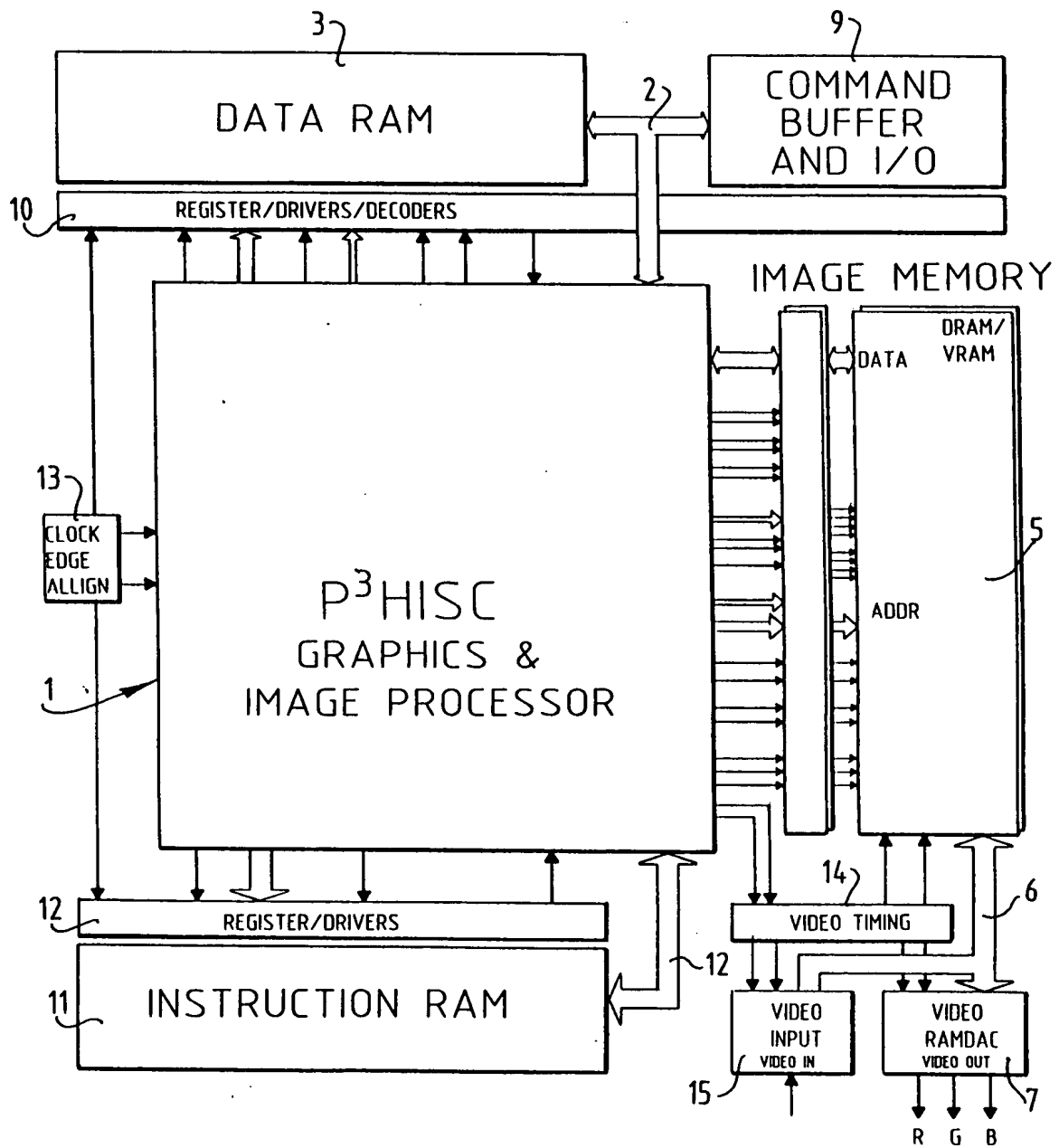


FIG. 1

FIG.2

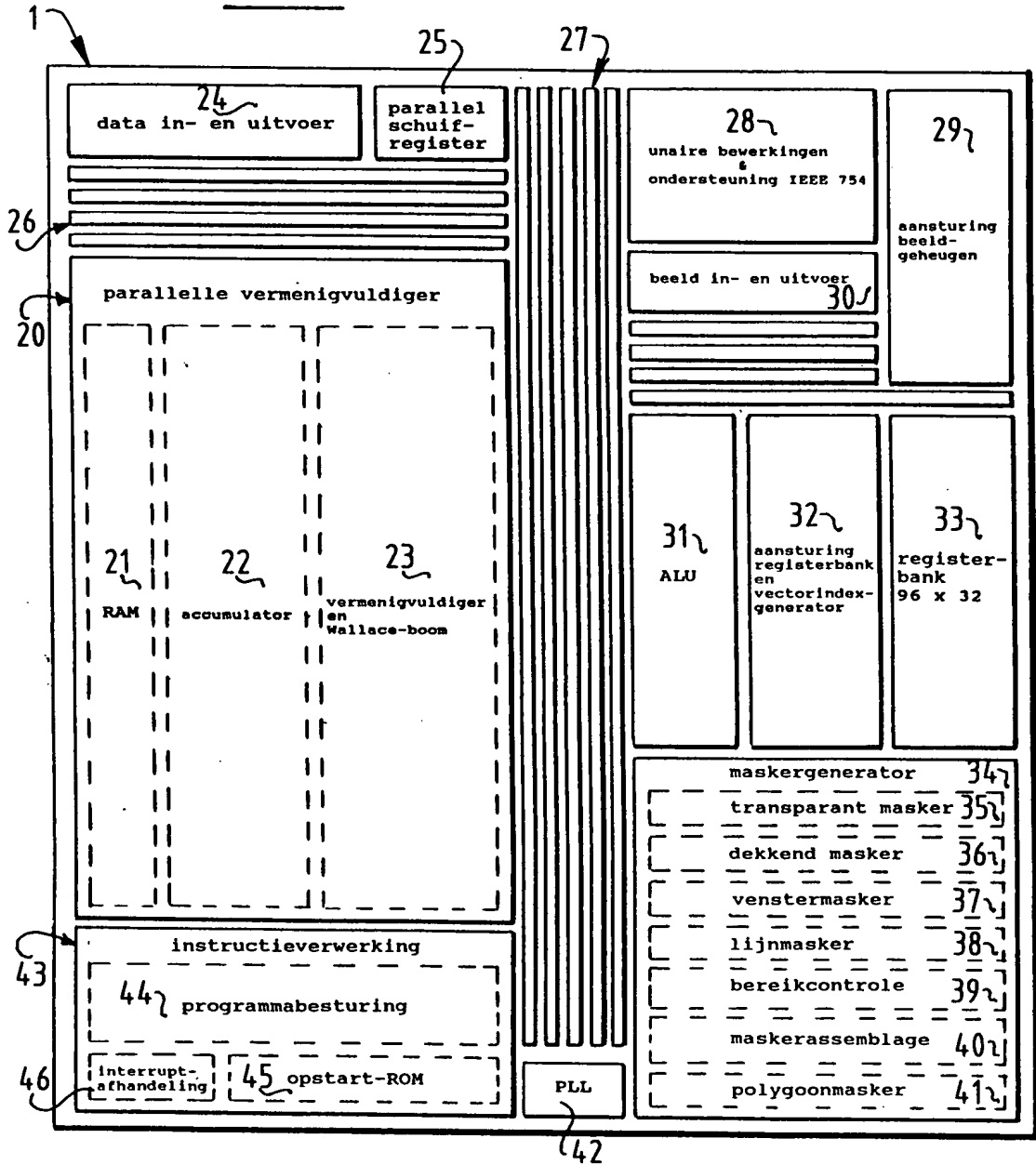




FIG.3

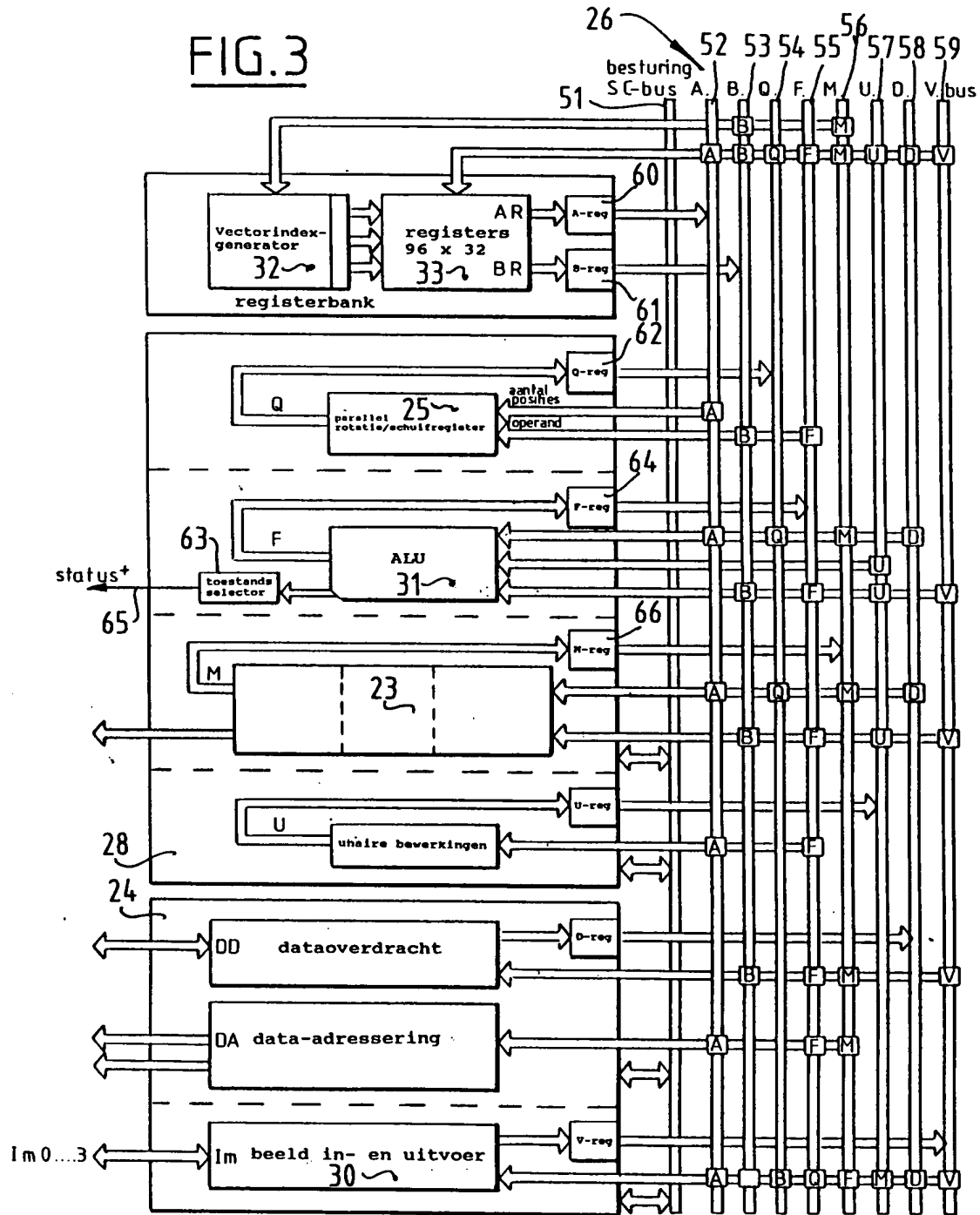
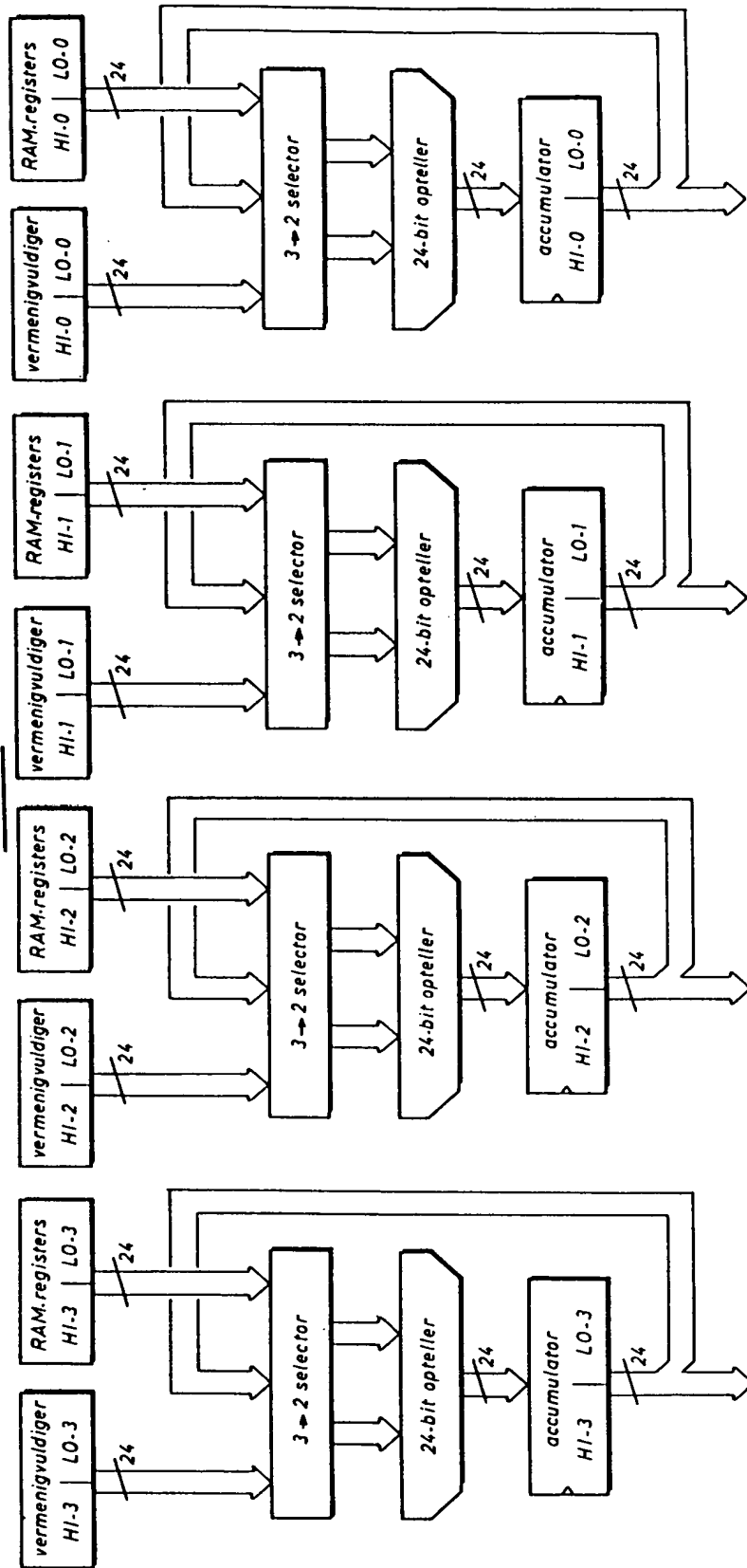


FIG. 4



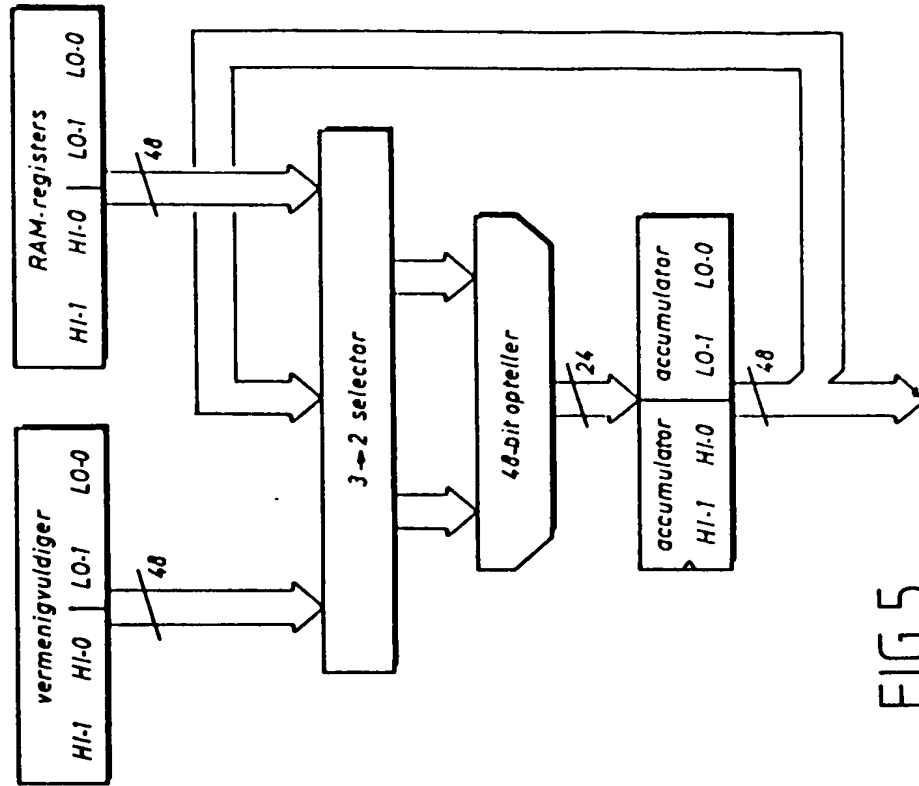


FIG. 5

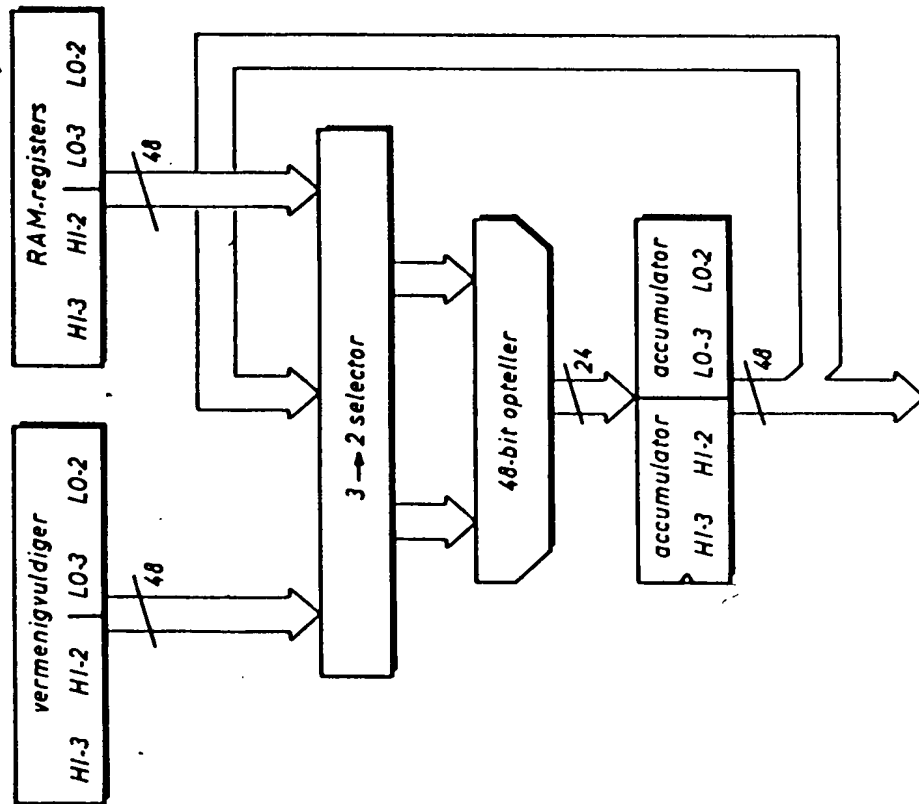
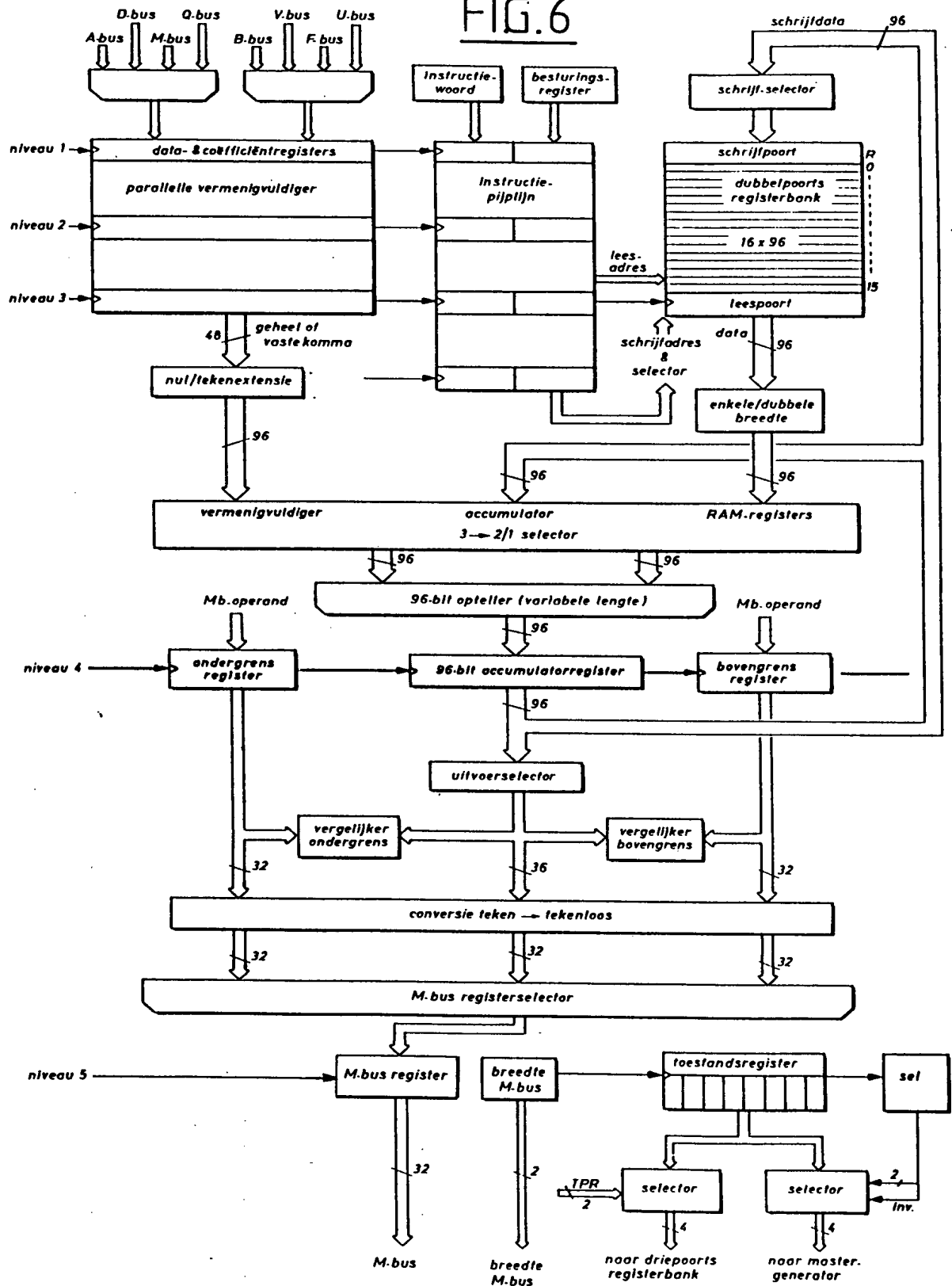
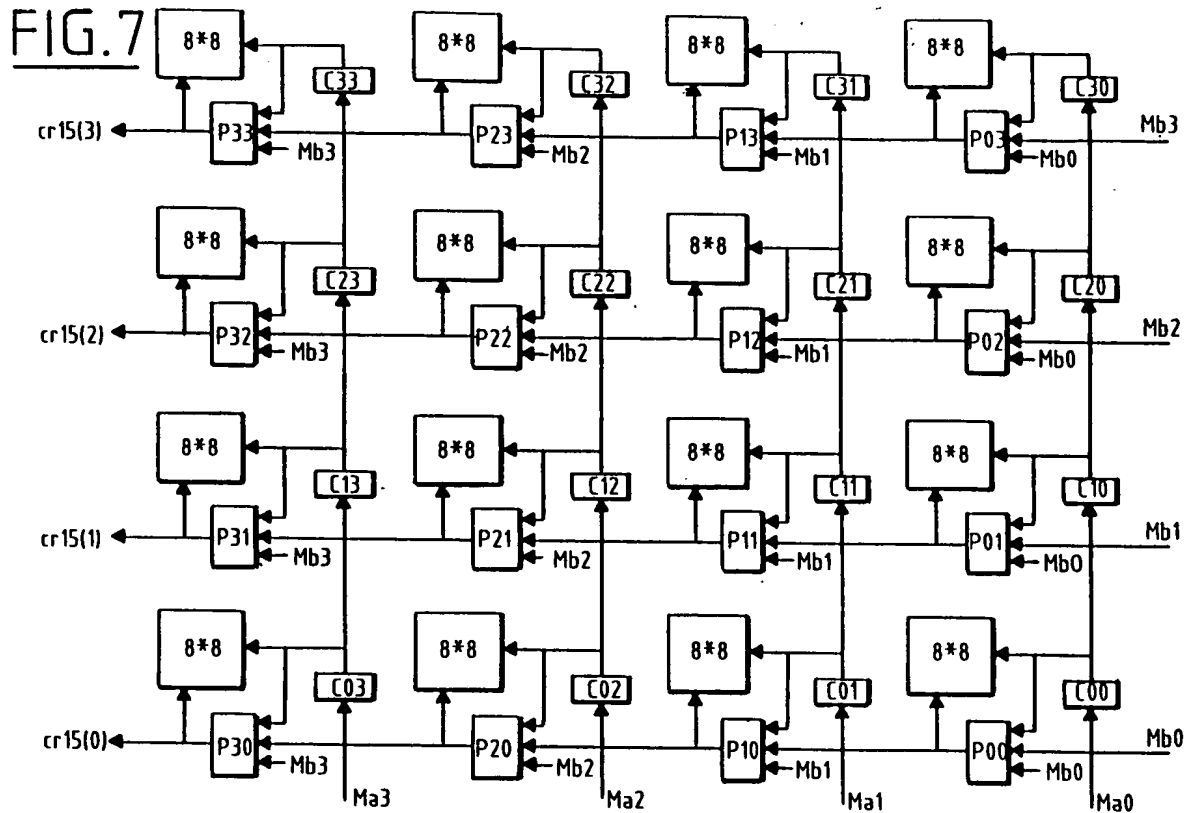


FIG.6





16BIT MODE ROTATE+11 BIT

**FIG. 8** STAGE 1. FOUR 8 BIT ROTATES  
STAGE 2. EIGHT 4 BIT 'CROSSES'

